

**szfpga**  
简单、快速、永存

WWW.SZFPGA.COM

## XJTAG-HS3 用于 Xilinx FPGA 编程设备



## 概述

XJTAG-HS3 编程设备是一款用于 Xilinx FPGA 的高速编程解决方案。该设备兼容所有的 Xilinx 开发工具，如 iMPACT, Chipscope, EDK, Vitis, Vivado 工具。XJTAG-HS3 编程设备对接开发板设备，是用双排 2\*7P, 2.54mm 间距排针，另外包含转接头，可以对接 2\*7P, 2.00mm 间距，也可以对接 2\*5P, 2.54mm 排针，包括单排的 6P, 单端线。

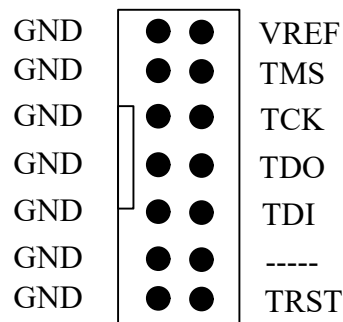
PC 通过 USB 给 XJTAG-HS3 供电，无需连接 FPGA 主板，在设备管理器识别成普通串行总线 USB Serial。只有打开 Vivado 自动识别成 XJTAG-HS3 设备。或者 iMPACT 扫描编程器可以找到该设备。XJTAG-HS3 设备，VREF 是单独，需要从板上给编程设备供电，编程设备有个缓冲器，需要 24mA 电流来驱动电平转换和长距离数据，电压范围是 1.65-5V，并且速度最大是 30Mb/S。为了操作正确，VREF 需要 FPGA 的同侧 JTAG 的供电区域 VCCO\_0。



性能如下：

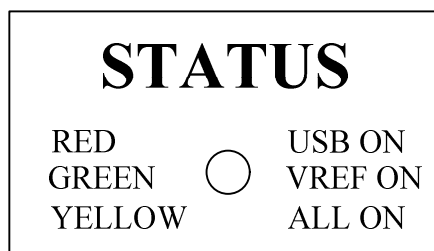
- 产品大气，功能齐全，性价比高。
- 用于 Xilinx FPGA 和 SOC 编程和调试。
- VREF 独立供电，电压范围在 1.5V-5V。
- USB2.0 高速模式连接，JTAG 最高速度在 30Mb/s。
- 使用 USB2.0 TYPE B 接口，结实耐用
- TSRT 开漏输出，方便复位 ZYNQ 平台的 ARM 处理器复位
- 软件兼容 ISE14.1 以及新版本，Vivado 2013.3 以及新版本

XJTAG-HS3 封面的引脚说明，在一端基本都是 GND，另外一端是其他的 IO 信号。



名称	方向	功能
GND	输入	跟目标地连接
VREF	输入	配置 FPGA 的 VCCIO 电压连接
TMS	输出	JTAG 的 TMS 信号
TCK	输出	JTAG 的 TCK 信号
TDO	输入	JTAG 的 TDO 信号，直接接 FPGA 的 TDO 管脚
TDI	输出	JTAG 的 TDI 信号，直接接 FPGA 的 TDI 管脚

侧面测试指示灯，指示电源供电，目标板供电情况。

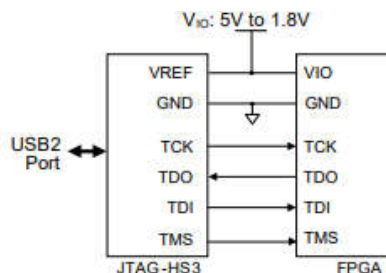


当红色灯亮是， USB 连接到电脑上。

当黄色灯亮时， 目标板 VREF 电源和 USB 电源已经连接好。

XJTAG-HS3 能在无 PC 供电或者无 FPGA 主板供电，能保持 JTAG 信号在高阻态模式，XJTAG-HS3 通过 USB-TYPE B 接口对接 PC。

XJTAG-HS3 增加对接 ZYNQ 以及 ZYNQ UltraScale 的 ARM 复位对接引脚，该引脚是开漏输出，需要对接上拉电源。电源可以设备 FPGA 的 JTAG 的电源不一样。



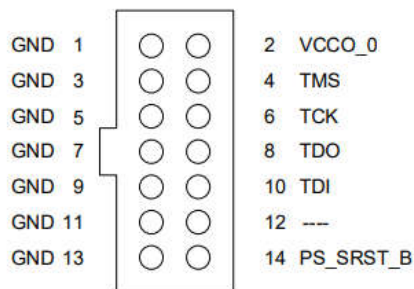
## 1. 软件支持

XJTAG-HS3 是用于 Xilinx 的 ISE(Impact,ChipScope,EDK)和 Vivado 工具。当前 ISE 和 Vivado 内嵌的驱动，库，插件都是可以支持 JTAG-HS3 工具。

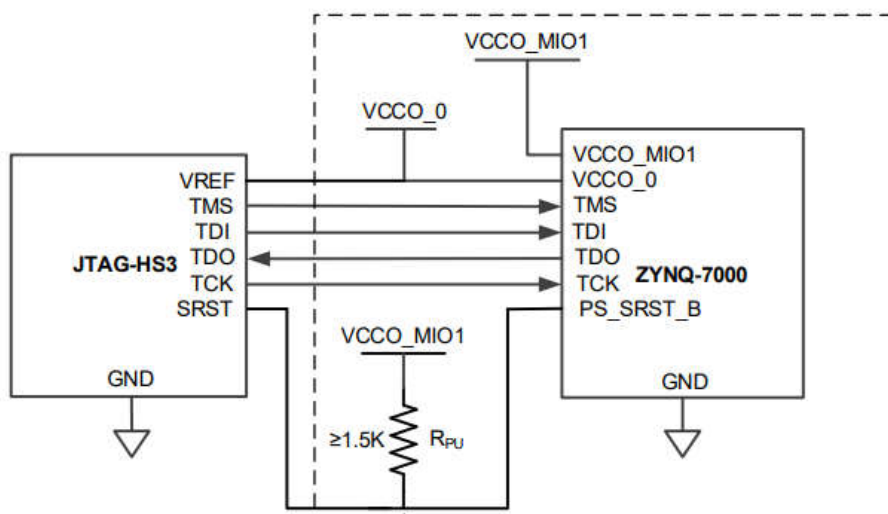
XJTAG-HS3 目前能完全支持软件是 ISE14.1 及以上版本，还有 Vivado2013.3 以及最新的版本。

## 2. ZYNQ-7000 和 SOC 的支持

Xilinx 调试工具要求在 debug 模式中复位处理器，ZYNQ 芯片平台有一个特殊管脚 PS\_SRST\_B，PS\_SRST\_B 通过引脚拉低退出 BREAK 和 WATCH 的断点，引起系统复位。所以，连接 ZYNQ 的 PS\_SRST\_B 跟 XJTAG-HS3 的 TRST 管脚连接。



PS\_SRST\_B 使用开漏输出，连接到 ZYNQ 芯片，参考电压是 VCC\_MIO1，而不是 VCC\_0 电压。因为开漏输出需要上拉电阻，电阻大于或者等于 1.5K 欧姆。



### 3. 设计参考

XJTAG-HS3 使用高速缓冲器驱动 TMS、TDI、TCK 信号。这些缓冲器最大源和端电流 50mA。HS3 有 100 欧姆电阻串联在缓冲器和引脚器之间，用于确保不会超过该电流。为了避免短路，目标板建议附加电阻 100 欧姆或者更高的电阻防止短路电路。

### 4. 最大参数

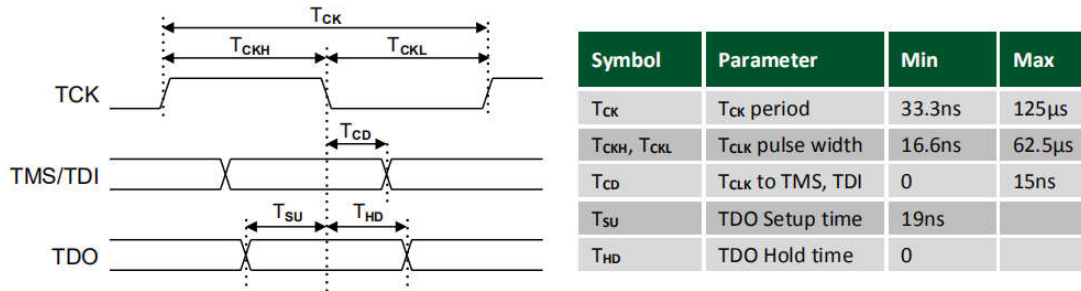
符号	参数	条件	最小	最大	单位
VREF	I/O 参考供电电压		-0.5	6	V
V <sub>IO</sub>	信号电压		-0.5	6	V
I <sub>ik</sub> , I <sub>ok</sub>	TMS, TCK, TDI, TDO DC 输入输出电流	V <sub>IO</sub> < -0.5V		-50	mA
		V <sub>IO</sub> > 6		+20	
I <sub>OUT</sub>	DC 输出电流			±50	mA
T <sub>STG</sub>	存储温度		-20	+120	° C
ESD	人体模型 JESD22-A114			4000	V
	放电模型 JESD22-C101			2000	

### 5. DC 参数

符号	参数	最小	典型值	最大	单位
VREF	I/O 参考供电电压	1.65	2.5/3.3	5.5	V
TDO	输入高电平(VIH)	1.62		5.5	V
	输入低电平(VIL)	0		0.65	V
TMS,TCK,TDI	输出高电平(VOH)	0.85 x VREF	0.5 x VREF	VREF	V
	输出低电平(VOL)	0	0.05 x VREF	0.15 x VRFE	V

## 6. 时序图

XJTAG-HS3 JTAG 和 SPI 的操作时序图，如下图所示，XJTAG-HS3 支持 TCK 的时钟频率从 30MHz 到 8KHz，分频数从 1-3750 整数值，基数频率是 30MHz。常用的频率是 30MHz，15MHz，7.5MHz，6MHz。



## 7. 支持芯片类型

XJTAG-HS3 支持下列的 Xilinx 芯片类型

- Xilinx FPGA，包含 UltraScale+。
- Xilinx SOCs, MPSoCs, RFSocS, 包含 ZYNQ-7000 和 ZYNQ UltraScale+。
- Xilinx ACAPs, 包含 Verscal。
- Xilinx CoolRunner/CoolRunner-II, 9500/9500XL CPLD
- Xilinx ISP 配置 FLASH PROMs。
- 第三方 SPI PROMs。
- 第三方 BPI PROMs。
- Xilinx FPGA eFUSE 编程。

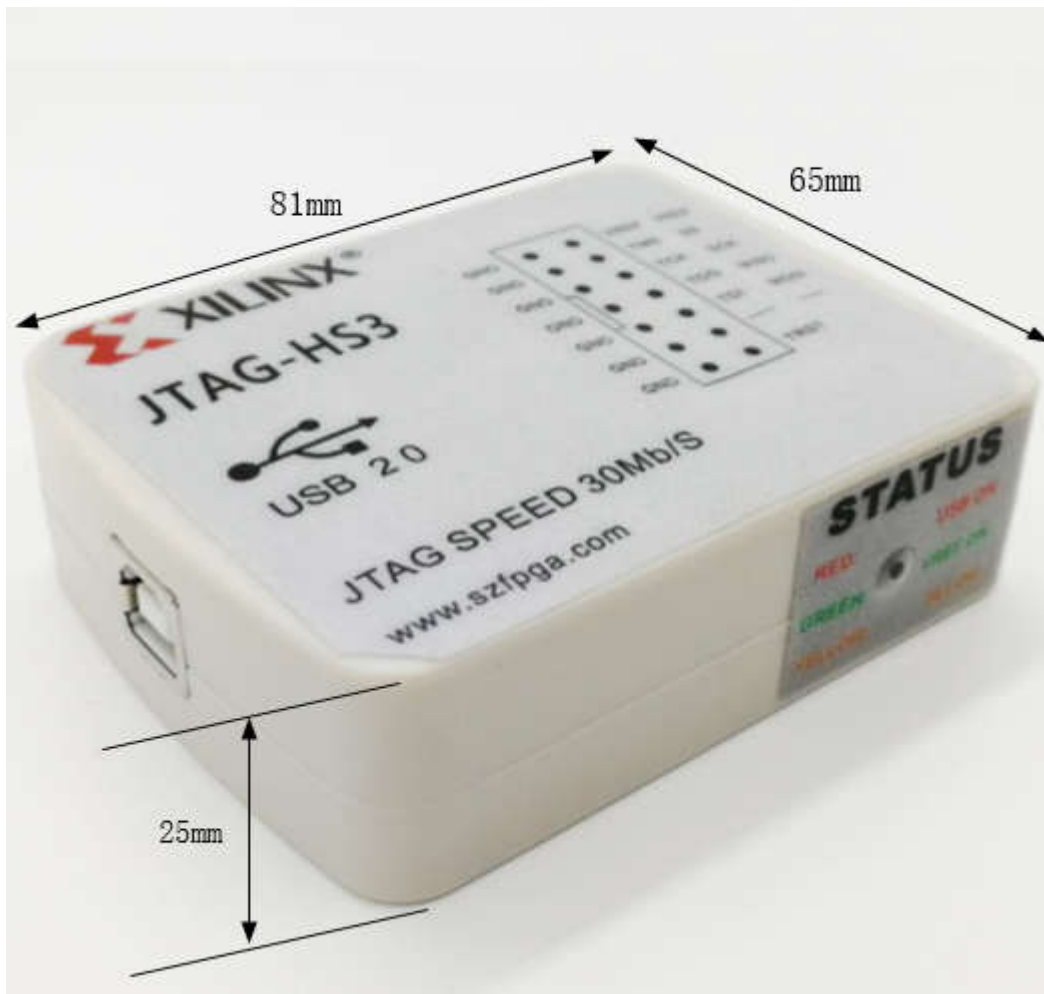
以下的设备不支持

- Xilinx 1700 和 18V00 ISP 配置 PROMs

关于配置的 SPI 和 BPI 的 Flash 支持，详见 UG908 文档，Vivado 软件能支持的型号类型。

## 8. 尺寸大小

81mm 长度 X 65mm 宽度 X 26mm 高度



## 9. 包装信息



包装清单:

- 1). SZFPGA XJTAG-HS3
- 2). USB 转 TYPE B USB 线缆。
- 3). 多个接口转接头, 2.54mm 2 X 7 14P 转接 2.0mm 2X7 14P、2.54mm 2X5 10P、2.54mm 1X7P 7P
- 4). 2.54mm 14P 灰色线缆。
- 5). 2.54mm 10P 灰色线缆
- 6). 2.00mm 14P 灰色线缆。
- 7). 2.54mm 7P 单排国标线缆。

## 10. 订货信息

产品型号
SZFPGA XJTAG-HS3