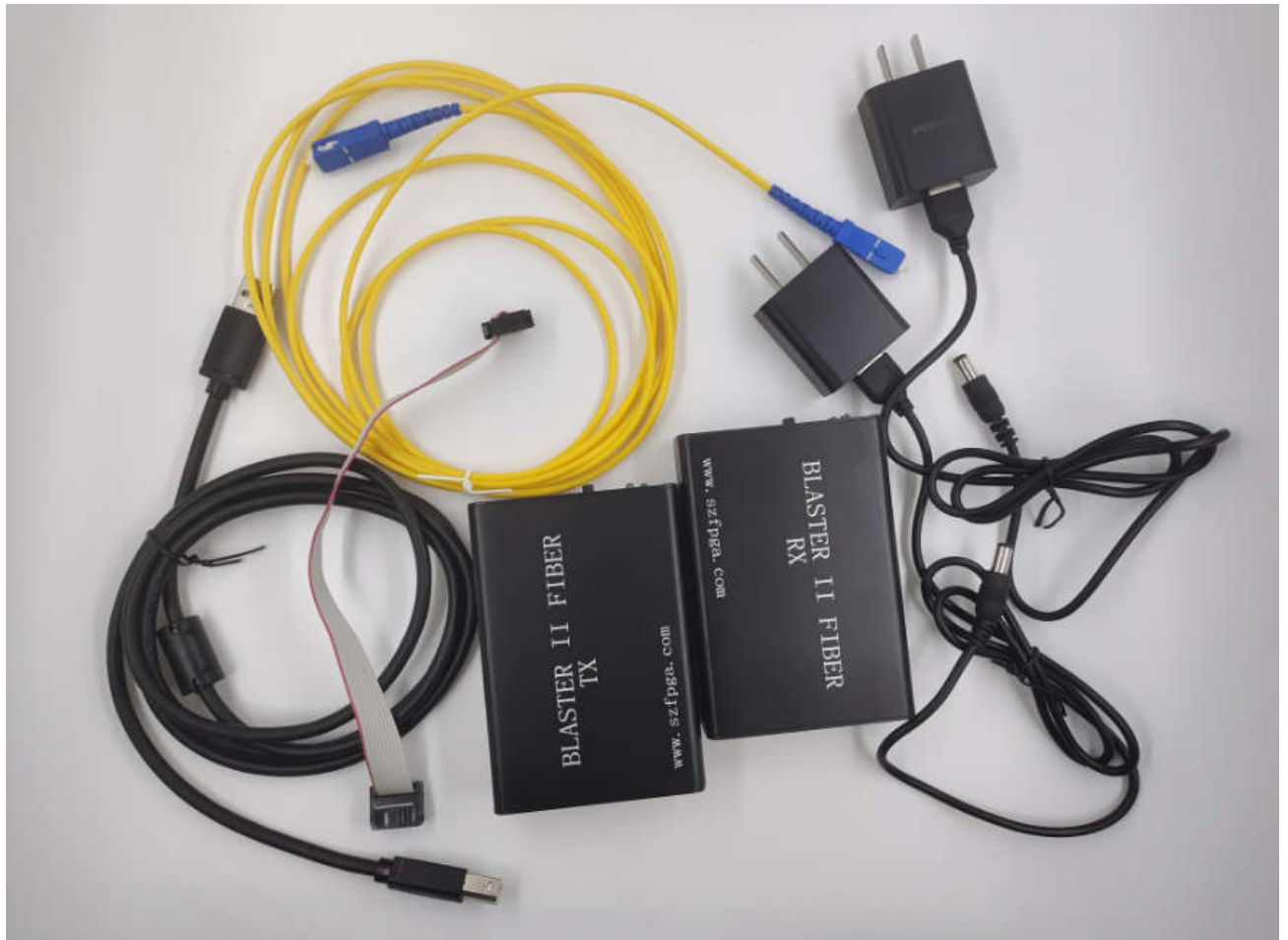


szfpga
简单、快速、永存

Blaster II Fiber 用于 Intel FPGA 远程高速仿真设备



文档版本号	更新内容
V1.0	2024 年 1 月 17 日创建

技术支持与反馈

深圳市飞录科技有限公司提供全方位技术支持，在使用过程中如有任何疑问或建议，

可直接与公司联系：

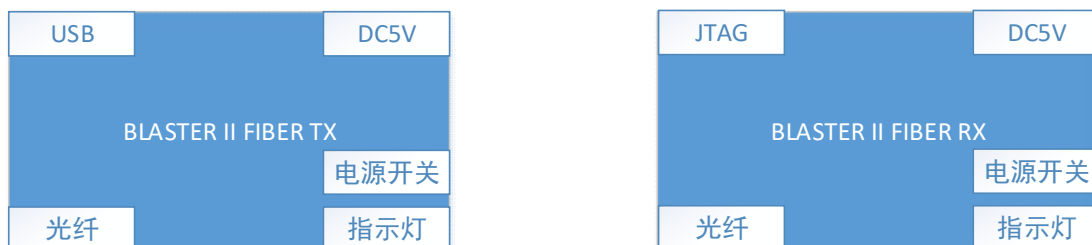
网址：www.szfpga.com

E-mail: support@szfpga.com

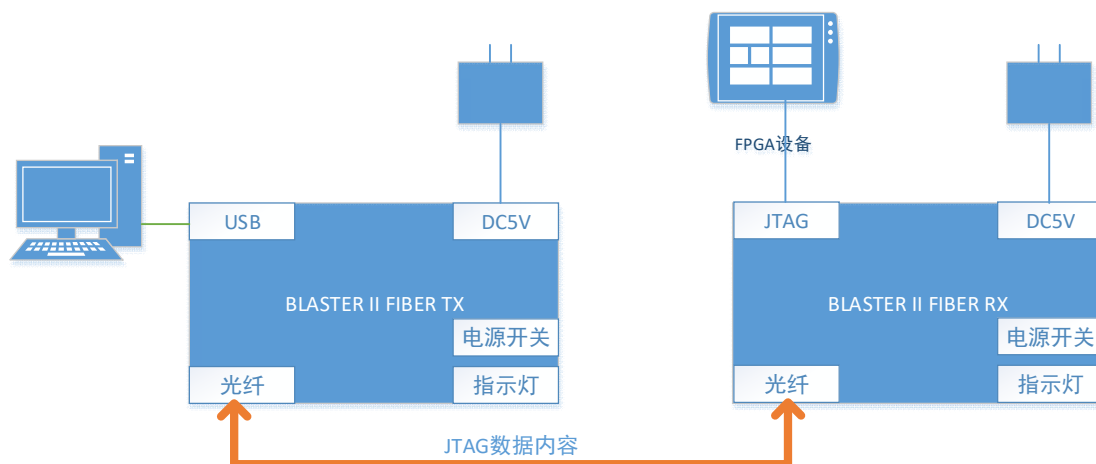
目录

1. 准备 Blaster II Fiber 设备	4
1.1 Blaster II Fiber 面板说明	5
1.2 支持的器件和操作系统.....	7
1.3 软件需求和支持.....	8
1.4 安装 Blaster II Fiber TX Windows 7/8/10 驱动	9
1.5 在 linux 安装 Blaster II Fiber TX.....	9
1.6 在 Windows XP 系统安装 Blaster II Fiber TX	10
1.7 电脑连接 Blaster II Fiber TX	11
2. 设定 Blaster II Fiber RX 设备	12
2.1 VCC 电压需求	12
2.2 连接插头.....	12
2.3 10PIN 的母头信号定义和编程模式	13
2.4 连接 Blaster II Fiber RX	13
2.5 PCB 设计接头	15
2.6 时序图.....	16
2.7 改变 TCK 的时钟.....	17
3. 基本操作说明.....	18
3.1 JTAG 模式	21
3.2 AS 模式.....	23
3.3 回读数据.....	26
4. 包装订货信息.....	28
4.1 产品包装.....	28
4.2 订货信息.....	28

1. 准备 Blaster II Fiber 设备



BLASTER II FIBER 是由一个 TX 和 RX 组成的设备。TX 设备是接 PC 电脑端 USB。RX 是接 FPGA 设备的 JTAG 口。



TX 和 RX 设备是通过光纤传输。最大支持 3KM 的距离。光纤传输是 JTAG 打包数据。TX 端的 USB 是基于本地设备，非远程 USB 的延长功能，这样可以避免 RX 端设备断电插拔过程，导致 PC 端死机问题。两端支持任意插拔，自动同步功能。

BLASTER II FIBER 用于雷达，装甲车，风能发电，LED，高空作业 intel fpga 远程调试。

Blaster II Fiber 能以下的特点。

- Intel FPGA 调试仿真测试设备。
- 高速模式，最大 24MHz，比 USB Blaster 快 8 倍速度。
- 可以用于下载生产文件，高速编程配置的 Flash。
- AES 数据加密和 FUSE 编程。
- 支持 ARM DS-5 debugger 模式。
- 高阻态模式，插拔主板能保护芯片。
- 支持长距离传输，支持长达 3KM。

1.1 Blaster II Fiber 面板说明



Blaster II Fiber TX 和 RX 面板

指示灯和电源面板 Blaster II Fiber RX 和 Blaster II Fiber TX 都是相同的。

指示灯显示	意义
LINK	RX 和 TX 已经光纤连接好信号正常
POWER	Blaster II Fiber 设备供电正常
USB	USB 已经连接好
VREF	FPGA 设备已经上电

SW 是电源开关，打开 POWER 会显示红色。

DC5V 输入是 5V 电源，也支持 12V 电压输入。



Blaster II Fiber TX 面板

USB 是连接电脑。

FIBER 是连接光纤,SC 接口单芯光纤。注意光纤凸口在朝上。

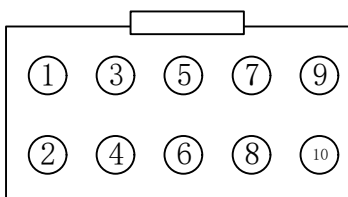


Blaster II Fiber RX 面板

JTAG 是连接 FPGA 设备。

FIBER 是连接光纤,SC 接口单芯光纤。注意光纤凸口在朝上。

基本上 FPGA 由于断电不能保存,所以需要额外的配置 Flash 保存数据。就是 FPGA 有 2 个 2X5 2.54mm 简易牛角接口,一个是 JTAG 口。另外一个 AS 接口。Blaster II Fiber RX 都支持。

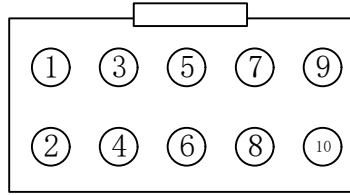


JTAG 口, 用调试命令, 内部波形, 烧录 CPLD, 间接烧录 Flash。JTAG 引脚定义如下:

PIN	JTAG 模式	
	信号名称	描述
1	TCK	测试时钟
2	GND	信号地
3	TDO	测试数据输出
4	VCC	目标供电
5	nCONFIG	控制配置
6	PROC_RST	ARM 处理器复位
7	-	-
8	-	-
9	TDI	测试数据输入
10	GND	信号地

在 JTAG 模式, 6 引脚用于热复位 HPS。由于 PROC_RST 低有效, 不是开漏输出, 所以建议不要跟 HPS_nRST 信号连接。可以连接外部配置 CPLD 的如 MAX V, 然后通过 MAX V 去管理 HPS 端的复位。

而 AS 接口是用于配置 Flash 单独烧录, 相比 JTAG 间接烧录, 优势在于可以回读外部 Flash 内容。AS 接口定义如下:



PIN	AS(Active Serial) 模式	
	信号名称	描述
1	DCLK	配置时钟
2	GND	信号地
3	CONF_DONE	配置完成
4	VCC	目标供电
5	nCONFIG	控制配置
6	nCE	芯片选能
7	DATAOUT	AS 数据输出
8	nCS	串行配置芯片选能
9	ASDI	AS 数据输入
10	GND	信号地

1.2 支持的器件和操作系统

支持下载配置数据如下芯片：

- Stratix 系列芯片如 Stratix 10、Stratix V、Stratix IV
- Agilex 系列芯片如 Agilex F、Agilex I、Agilex M
- Arria 系列芯片如 Arria 10、Arria V、Arria II、Arria Gx
- Cyclone 系列芯片如 Cyclone V、Cyclone IV、Cyclone III、Cyclone II、Cyclone。
- MAX 系列芯片如 MAX3000、MAX7000A/B/S、MAX9000、MAX II、MAXV MAX10。

芯片系列指的是一个系列的名称。比如 Cyclone 系列，有分支组芯片 Cyclone，Cyclone II，Cyclone III，Cyclone IV，Cyclone V，Cyclone 10，其中每个组芯片又可以分支具体封装具体速度的芯片。比如 Cyclone IV，可以分支 EPC4E22C8 或者 EPC10E22C8，EPC10F23C8，具体看芯片相关 Family Datasheet 手册参考。

可以支持内嵌系统编程芯片如下：

- EPC4,EPC8,EPC16 增强型配置芯片
- EPCS1, EPCS4,EPCS16,EPCS64, EPCS/Q128.EPCQ256,EPCQ-L 和 EPCQL512、EPCQL1024 系列配制芯片。

该设备支持目标系统如下：

- IO 电压范围是 0.9V-3.3V

1.3 软件需求和支持

- Windows 7/8/10(32 位、64 位)
- Windows XP (32 位、64 位)
- Windows Server 2008 R2(64 位)
- Linux 平台如 Red Hat Enterprise 5

要求 Quartus Prime 软件版本 14.0 或者更新的版本来配置设备。
如果要用 Quartus Prime 13.1 的版本，请安装补丁来全面使用该设备。

该设备支持的工具有如下：

- Quartus Prime Programmer(包括单独编程版本 stand-alone)
- Quartus Prime SignalTap II logic Analyzer(包括单独版本 stand-alone)
- JTAG 和 Debug 调试工具 JTAG-Server。如下

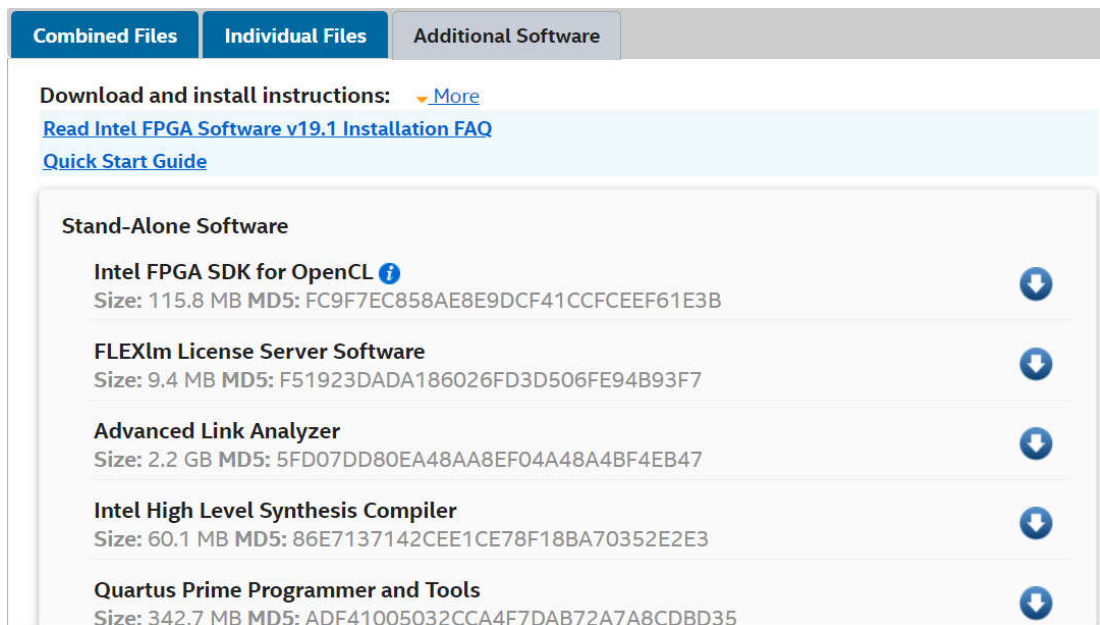
---System Console

--- Nios II debugger

--- ARM DS-5 debugger

开发软件 Quartus 下载地址 <https://fpgasoftware.intel.com/19.1/?edition=standard>

对于单独的烧录软件，选择 Additional Software 选项卡，选择 Quartus Prime Programmer and Tools。



注意：需要注册个人账户才能下载。

图 1 FPGA 基本接口模型。

1.4 安装 Blaster II Fiber TX Windows 7/8/10 驱动

首先要确认，要用管理员身份登录，来安装驱动。

Blaster ii Fiber 设备驱动是包含在 Quartus Prime 软件安装文件中。在你安装，查看驱动的位置一般都在 :(\quartus 安装目录)\drivers\usb-Blaster-ii

1) 第一步，通过 USB 连接好 Blaster ii Fiber。

当第一次插入设备，系统可能回弹出，“设备驱动未成功安装”

2) 打开设备管理器，找到其他的设备栏目中，展开目录，USB-Blaster II 黄色感叹号。



需要安装两个设备的驱动，一个 JTAG interface，另外一个 System Console interface。

3) 右键选择菜单，选择“更新驱动程序”，然后更新驱动程序-USB Blaster II 对话框显示

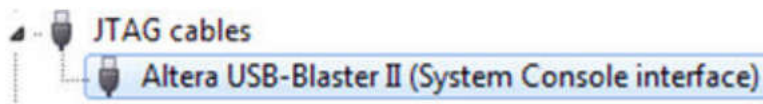
4) 选择“从我的计算机选择驱动”，继续

5) 从“浏览”，找到目录文件 :(\quartus 安装目录)\drivers\usb-Blaster-ii。选择“确认”

6) 点击“下一步”安装驱动

7) 当被问是否选择安装，点击“安装”

安装完成，会显示如下设备



8) 然后安装另外一个设备，回到第二步，重复过程安装另一个驱动。

全部安装完成，可以看到设备管理器增加一个“USB -Blaster II(JTAG interface)”在 JTAG cables 栏目下。

1.5 在 linux 安装 Blaster II Fiber TX

对于 linux，支持 Blaster II Fiber 在 RED Hat Enterprise 5, 6 和 7 版本。

为了能操作设备，Quartus Prime 软件使用内建 Red Hat USB 驱动，USB 文件系统(usbfs)。默认模式下，只有 root 用户才允许使用 usbfs。必须用系统管理权限来配置下载驱动。

1) 创建一个文件，文件名是 /etc/udev/rules.d/51-usblalster.rules ,并且如下代码：

(该.rules 因为之前安装 USB ABlaster，文件可能存在)

如 Red Hat Enterprise 5 或者更高的版本

```
# Intel FPGA Download Cable II
SUBSYSTEMS=="usb", ATTRS{idVendor}=="09fb", ATTRS{idProduct}=="6010", MODE="0666"
```

```
SUBSYSTEMS=="usb", ATTRS{idVendor}=="09fb", ATTRS{idProduct}=="6810", MODE="0666"
```

注意：必须是三行内容，第一行是注解，第二三行是总线模式。不要增加额外的信息。

2) 在 Quartus Prime 软件，设定 Blaster IIFiber 设备，详见“设定 Blaster II Fiber 设备”

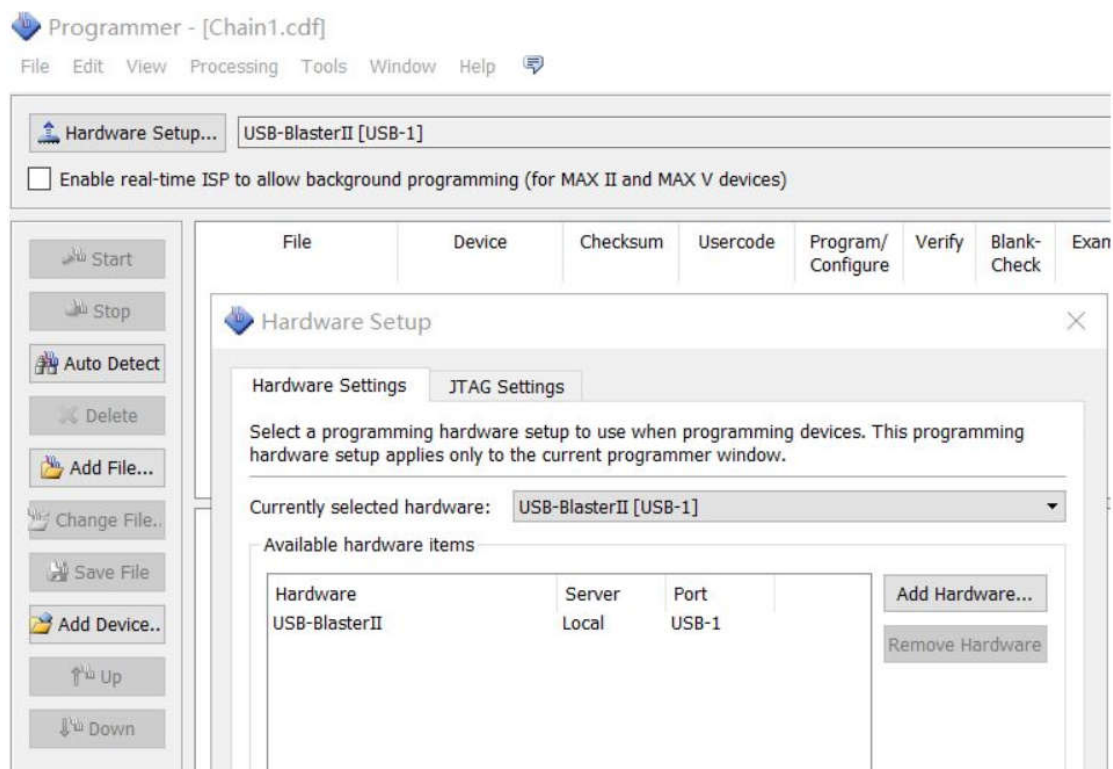
1.6 在 Windows XP 系统安装 Blaster II Fiber TX

要求用管理员账户来安装驱动。Blaster ii Fiber 设备驱动是包含在 Quartus Prime 软件安装文件中。在你安装，查看驱动的位置一般都在 :\\(quartus 安装目)\\drivers\\usb-Blaster-ii

1.7 电脑连接 Blaster II Fiber TX

- 1) 启动 **Quartus Prime** 软件
- 2) 在工具栏，选择 **Programmer**
- 3) 点击 **Hardware Setup**
- 4) 点击 **Hardware Settings** 选项
- 5) 从 **Currently selected hardware** 列表中，选择 **USB-Blaster II**
- 6) 选择 **Close** 关闭
- 7) 在 **MODE** 列表中，选择选定的编程模式

MODE(模式)	模式描述
JTAG 模式	用 Quartus Prime 软件，通过 JTAG 接口编程或者配置全部的芯片
In-Socket 编程	不支持
Passive Serial Programming	配置增强型的配置芯片 EPC 和串行芯片 EPCS/EPCQ/EPCQL
Active Serial Programming	配置单个 EPCS1,EPCS4, EPCS16,EPCS64, EPCS/Q128,EPCQ256, EPCQ-1,EPCQ512,EPCQ1024 芯片 EPCQL256,EPCQL512,EPCQL1024



2. 设定 Blaster II Fiber RX 设备

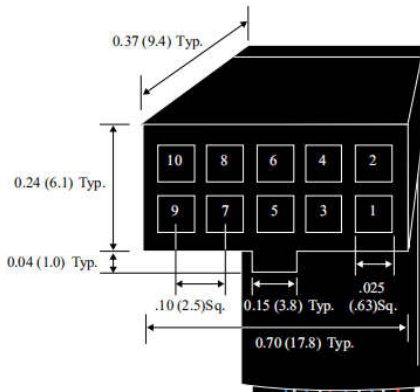
2.1 VCC 电压需求

Blaster II Fiber RX 端的 VCC 引脚必须要连接特定电压。确保目标板和 Blaster II Fiber RX 的 VCC 是一样的。

芯片家族	Blaster II Fiber VCC 需求
Arria GX	V _{CCSEL}
Arria II GX	BANK 8C 的 V _{CCPD} 或者 V _{CCIO}
Arria V	BANK 3A 的 V _{CCPD}
Arria 10	V _{CCPGM} 或者 V _{CCIO}
Cyclone III	V _{CCA} 或者 V _{CCIO}
Cyclone IV	GX 的 BANK 9 的 V _{CCIO} 。 E 系列 BANK 1 的 V _{CCIO}
Cyclone V	BANK 3A 的 V _{CCPD}
EPC4, EPC8, EPC16	3.3V
EPCS1, EPCS4, EPCS16, EPCS64, EPCS128	3.3V
EPCS/Q16, EPCS/Q64, EPCS/Q128, EPCQ256, EPCQ512	3.3V
EPCQ-L	1.8V
MAX II, MAX V	BANK 1 V _{CCIO}
MAX 10	V _{CCIO}
Stratix II, Stratix II GX	V _{CCSEL}
Stratix III, Stratix IV	V _{CCPD} 或者 V _{CCPGM}
Stratix V	BANK 3A 的 V _{CCPD}

2.2 连接插头

如下图，接头的描述，2.54mm 2X5P 防呆排母。



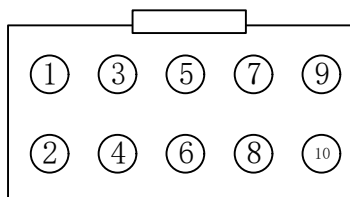
2.3 10PIN 的母头信号定义和编程模式

PIN	AS(Active Serial) 模式		PS(Passive Serial) 模式		JTAG 模式	
	信号名称	描述	信号名称	描述	信号名称	描述
1	DCLK	配置时钟	DCLK	配置时钟	TCK	测试时钟
2	GND	信号地	GND	信号地	GND	信号地
3	CONF_DONE	配置完成	CONF_DONE	配置完成	TDO	测试数据输出
4	VCC	目标供电	VCC	目标供电	VCC	目标供电
5	nCONFIG	控制配置	nCONFIG	控制配置	nCONFIG	控制配置
6	nCE	芯片选能	-	无	PROC_RST	ARM 处理器复位
7	DATAOUT	AS 数据输出	nSTATUS	配置状态	-	-
8	nCS	串行配置芯片选能	nCS	串行配置芯片选能	-	-
9	ASDI	AS 数据输入	DATA0	PS 模式输入	TDI	测试数据输入
10	GND	信号地	GND	信号地	GND	信号地

在 JTAG 模式，6 引脚用于热复位 HPS。由于 PROC_RST 低有效，不是开漏输出，所以建议不要跟 HPS_nRST 信号连接。可以连接外部配置 CPLD 的如 MAX V，然后通过 MAX V 去管理 HPS 端的复位。

2.4 连接 Blaster II Fiber RX

基本上 FPGA 由于断电不能保存，所以需要额外的配置 Flash 保存数据。图 1 所示，就是 FPGA 有 2 个 2X5 2.54mm 简易牛角接口，一个是 JTAG 口。另外一个 AS 接口。

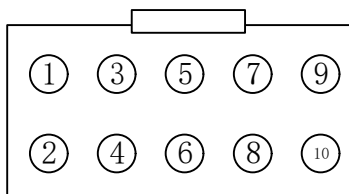


JTAG 口，用调试命令，内部波形，烧录 CPLD，间接烧录 Flash。JTAG 引脚定义如下：

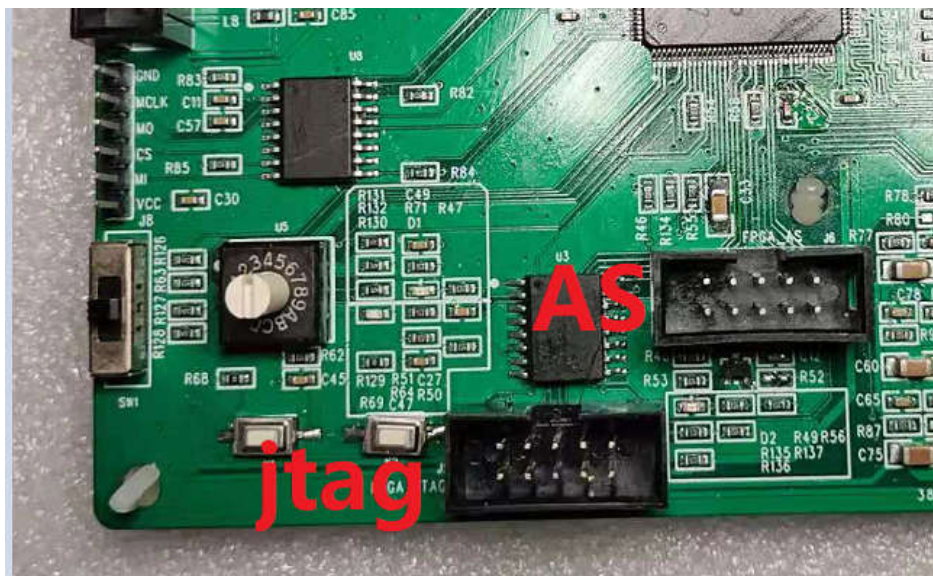
PIN	JTAG 模式	
	信号名称	描述
1	TCK	测试时钟
2	GND	信号地
3	TDO	测试数据输出
4	VCC	目标供电
5	nCONFIG	控制配置
6	PROC_RST	ARM 处理器复位
7	-	-
8	-	-
9	TDI	测试数据输入
10	GND	信号地

在 JTAG 模式，6 引脚用于热复位 HPS。由于 PROC_RST 低有效，不是开漏输出，所以建议不要跟 HPS_nRST 信号连接。可以连接外部配置 CPLD 的如 MAX V，然后通过 MAX V 去管理 HPS 端的复位。

而 AS 接口是用于配置 Flash 单独烧录，相比 JTAG 间接烧录，优势在于可以回读外部 Flash 内容。AS 接口定义如下：

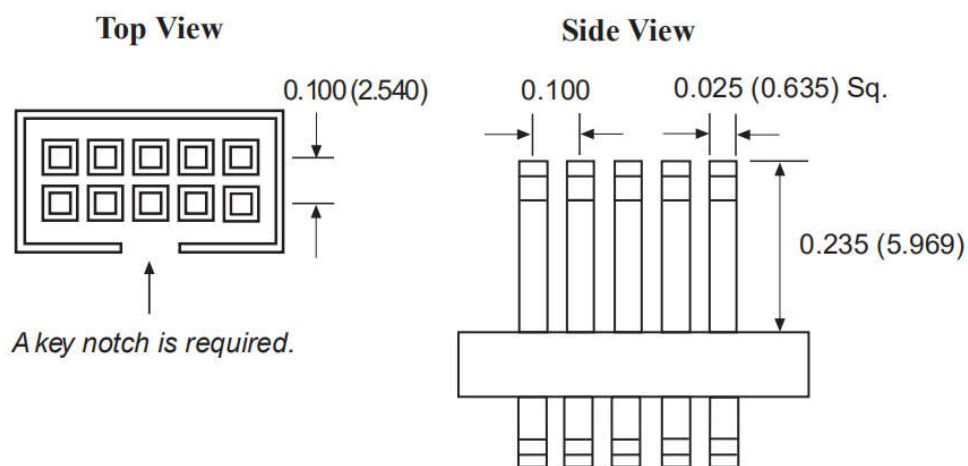


PIN	AS(Active Serial) 模式	
	信号名称	描述
1	DCLK	配置时钟
2	GND	信号地
3	CONF_DONE	配置完成
4	VCC	目标供电
5	nCONFIG	控制配置
6	nCE	芯片选能
7	DATAOUT	AS 数据输出
8	nCS	串行配置芯片选能
9	ASDI	AS 数据输入
10	GND	信号地



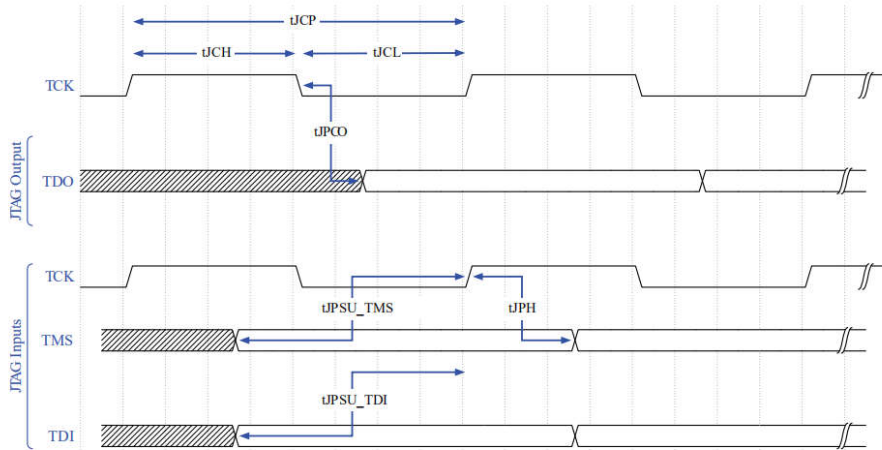
2.5 PCB 设计接头

10 PIN 的简易牛角座，来连接 Fiber Blaster ii 的母头连接。
如下图所示，要求带防呆接口设计



建议用通孔排针的连接器，相比表面贴装的要稳定。

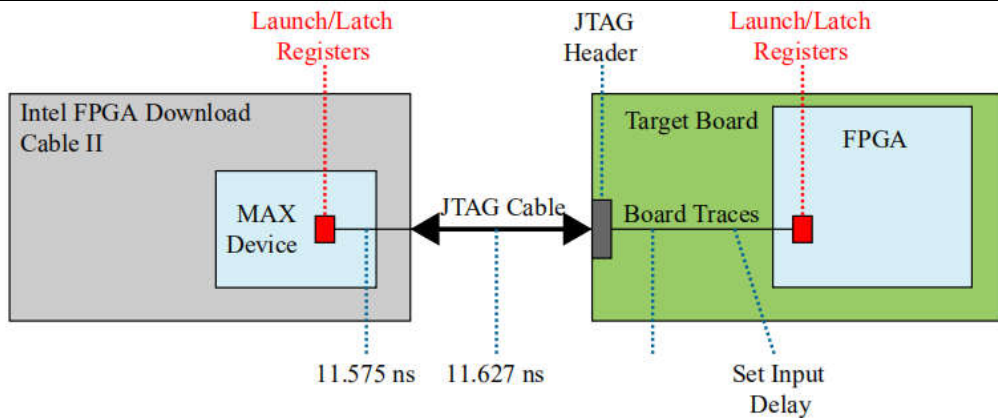
2.6 时序图



BLASTER II Fiber 为了满足最大性能 24MHz，需要满足以下时序约束条件。时序约束要求考虑线缆和 FPGA 之间的传输长度。如果不满足时序要求，可以改变 TCK 的频率。具体参考命令说明。实际可测线缆驱动长度，长达 1 米，如果超过此距离，可以考虑降速。

JTAG 时序约束

名称	参数	最小	最大	单位
tCP	TCK 时钟周期	41.67	-	ns
tJCH	TCK 时钟高电平	20.83	-	ns
tJCL	TCK 时钟低电平	20.83	-	ns
tJPCO	JTAG 端口时钟到 接头输出	-	5.46(2.5V) 2.66(1.5V)	ns
tJPSU_TDI	JTAG TDI 建立时间	-	24.42	ns
tJPSU_TMS	JTAG TMS 建立时间	-	26.43	ns
tJPH	JTAG 保持时间	-	17.25	ns



如果不满足 24MHz，必须降低时钟在 16-6MHz，下面设定 TCK 在 6MHz 的例子。

```
jtagconfig --setparam 1 JtagClock 6M
```

2.7 改变 TCK 的时钟

Blaster II Fiber 默认 TCK 时钟是 24MHz，然而有些设计不满足时钟 24MHz，需要改变 TCK 的时钟。

1). 在 Quartus Prime "BIN"目录下，:\\(quartus 安装目录)\\quartus\\bin64 ,CMD 切换该目录下。

2). 输入如下的指令：

```
jtagconfig --setparam <cable number> JtagClock <frequency><unit prefix>
```

- <cable number> 是代表下载设备的标号。
- <frequency> 是 TCK 的频率。只能支持以下速率要求
 - 24MHz
 - 16MHz
 - 6MHz
 - 24/n MHz(在 10KHz 和 6MHz, n 是整数值)
- <unit prefix> 是频率的单位(例如 MHz 是 M, KHz 是 K)

例子如下：

```
jtagconfig --setparam 1 JtagClock 6M
```

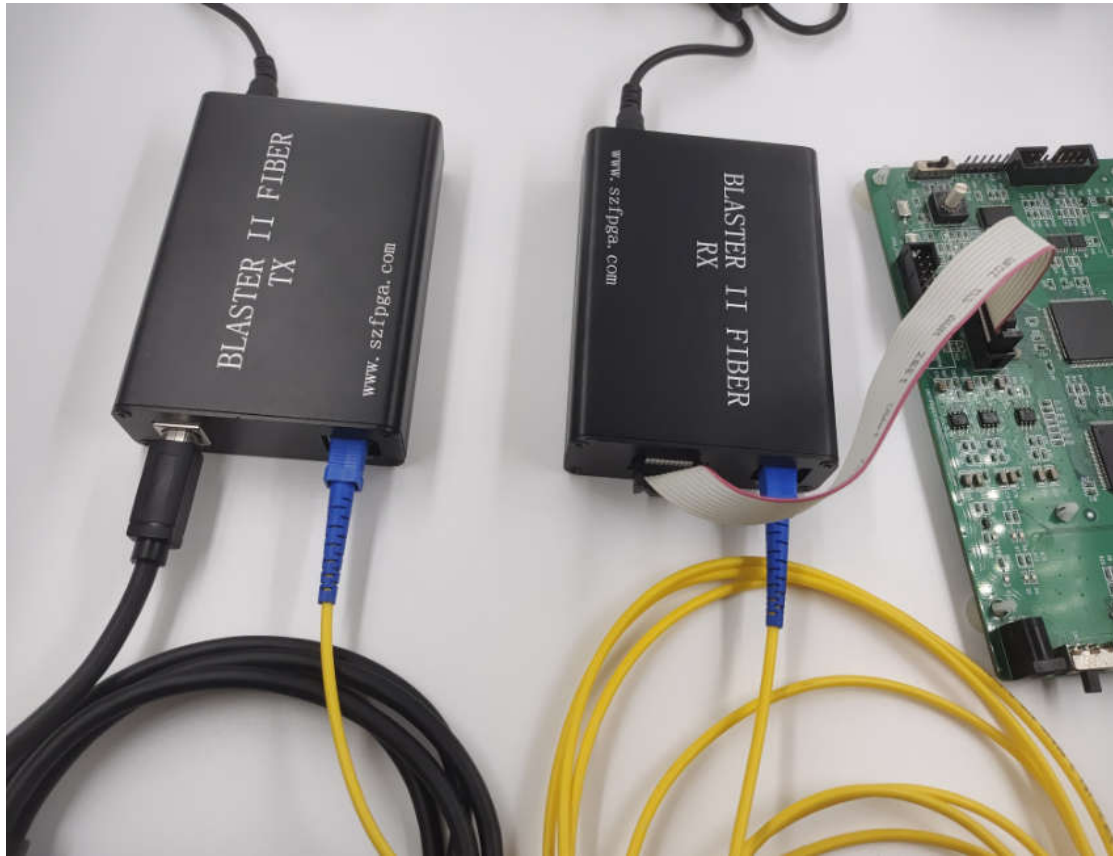
3. 基本操作说明

A) 断开目标主板的电源，连接好 Blaster II Fiber RX 端，JTAG 口，5V 电源和光纤口。

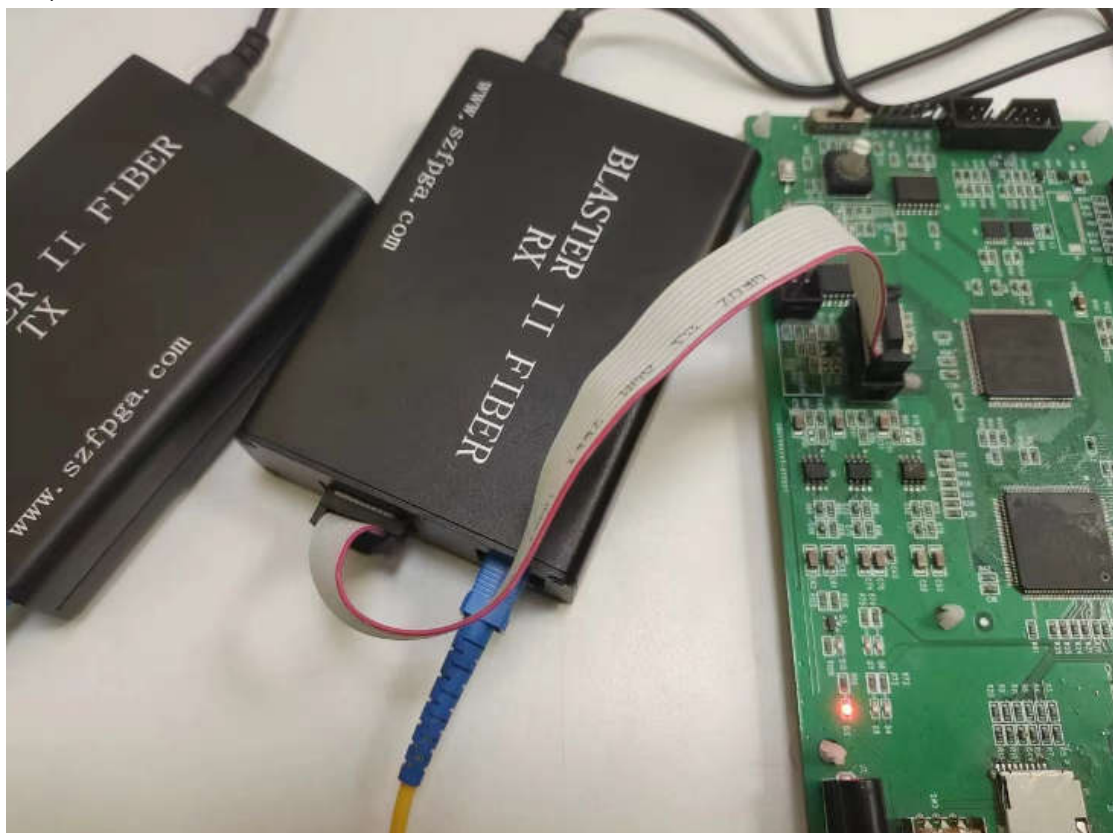


B) 将 Blaster II Fiber RX 的端连接到 Blaster II Fiber TX 端的光纤，连接好 TX 的 5V 电源和 USB。





c) 启动目标主板的电源。

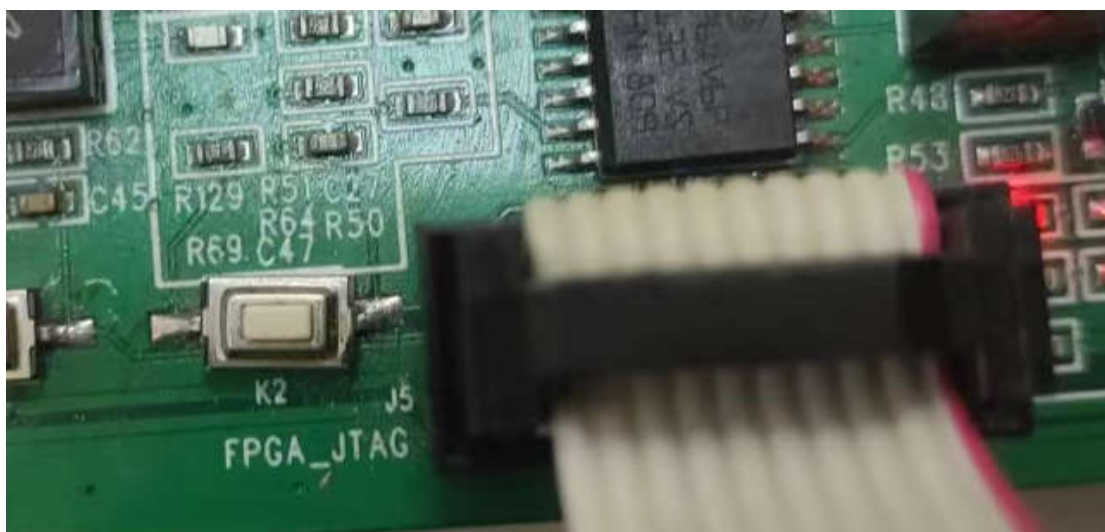
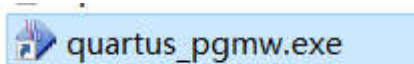


3.1 JTAG 模式

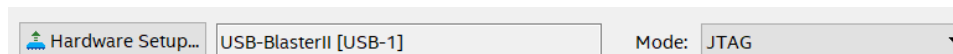
JTAG 模式，是对应芯片的 JTAG 管脚操作。确保下述的线缆连接好。

PIN	JTAG 模式	
	信号名称	描述
1	TCK	测试时钟
2	GND	信号地
3	TDO	测试数据输出
4	VCC	目标供电
5	nCONFIG	控制配置
6	-	-
7	-	-
8	-	-
9	TDI	测试数据输入
10	GND	信号地

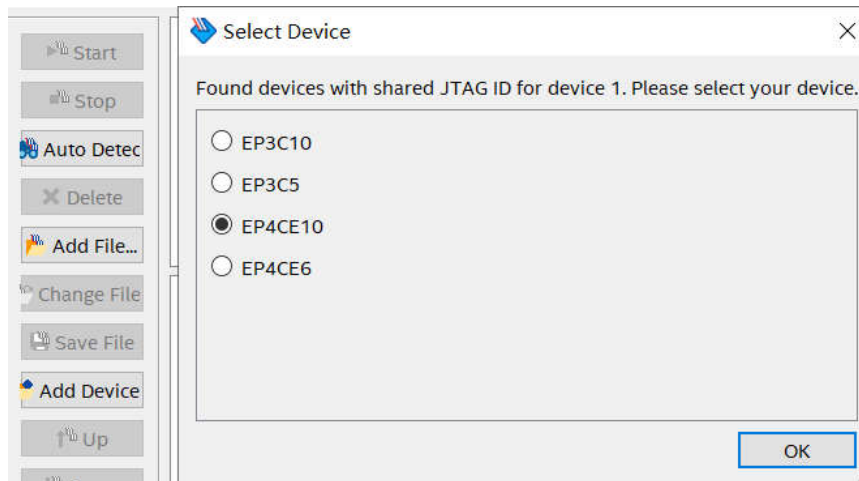
1) 接上设备的 JTAG 端口的。打 quartus prime programmer 软件。



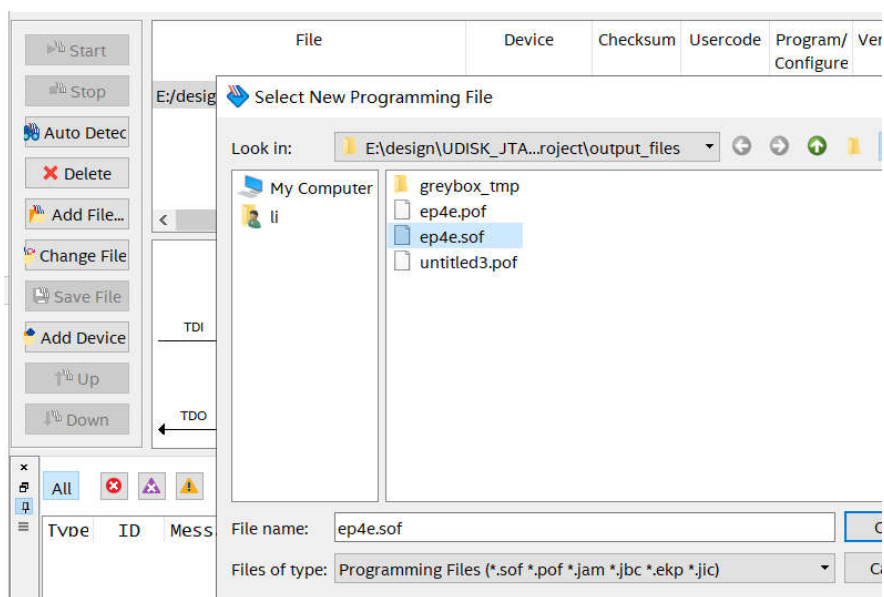
2) 确保 hardware setup 这里是 USB-Blaster II, Mode 是 JTAG 模式。



3) 选择 Auto Detec 检测设备。选择 EP4CE10 设备。



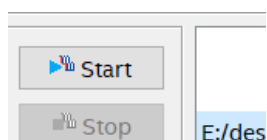
4) 双击 File 下栏，选择对应 SOF 文件。



5) 选择 Program/Configure。编程

Device	Checksum	Usercode	Program/ Configure	Verify
EP4CE10F17	0049F082	0049F082	<input checked="" type="checkbox"/>	<input type="checkbox"/>

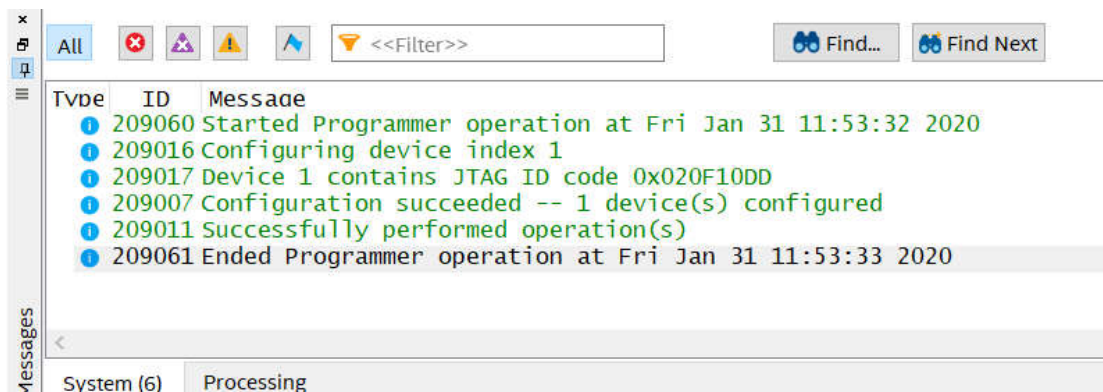
6) 选择 start 开始。



7) 看到这个 progress 这个进程，就是 100%完成，



8) 可以在 output 栏的 system 看到开始时间结束时间。使用 1s 时间下载文件。



3.2 AS 模式

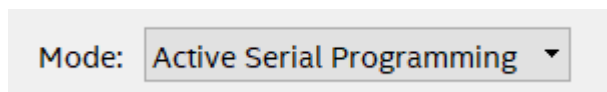
AS 模式是用于 FPGA 的外部配置 FLASH 的读写操作。要确保以下管脚对接好配置的 Flash 端口。

PIN	AS(Active Serial) 模式	
	信号名称	描述
1	DCLK	配置时钟
2	GND	信号地
3	CONF_DONE	配置完成
4	VCC	目标供电
5	nCONFIG	控制配置
6	nCE	芯片选能
7	DATAOUT	AS 数据输出
8	nCS	串行配置芯片选能
9	ASDI	AS 数据输入
10	GND	信号地

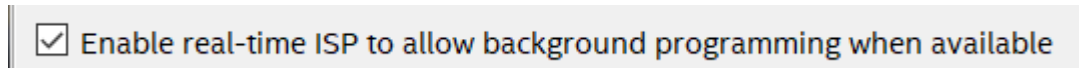
1) 断开发板的电，线缆接 AS 模式。



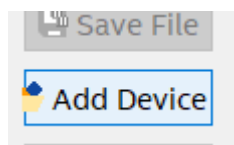
2) 然后在软件上，选择 AS 模式。



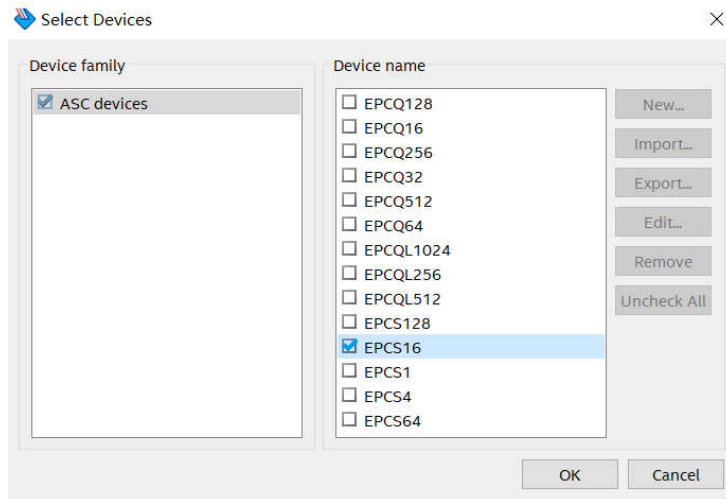
3) 记得选择可以回读模式



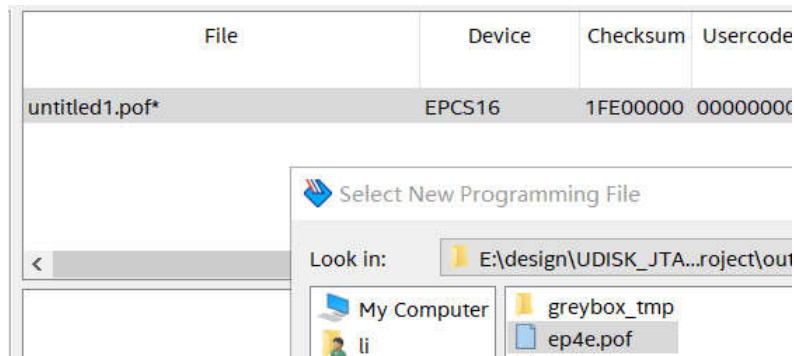
4) 然后 Add Device。选择配置的芯片。



5) 选择 EPCS16 设备。其实 Altera 的 EP 系类就是打磨的 Micron 芯片。所以很多芯片考虑成本可以用 micron 取代的。



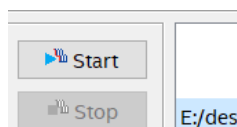
6) 双击 File 选择烧录 AS 配置芯片的 pof 文件。编程烧录 pof 文件内容。



7) 并且选择 Program、Verify、Blank-check 选择。

Checksum	Usercode	Program/ Configure	Verify	Blank- Check
1DF5E83D	00000000	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

8) 选择 start。



完成时间是 4s 时间

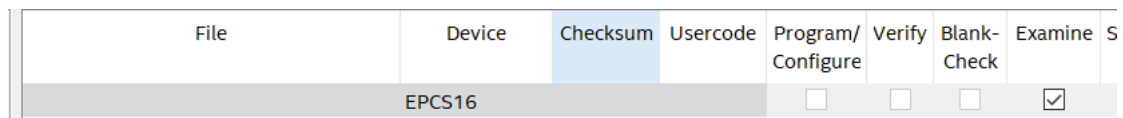
```

Type   ID   Message
① 209060 Started Programmer operation at Fri Jan 31 12:07:15 2020
① 209018 Device 1 silicon ID is 0x14
① 209044 Erasing ASP configuration device(s)
① 209020 Blank-checking device 1
① 209024 Programming device 1
① 209022 Performing verification on device 1
① 209018 Device 1 silicon ID is 0x14
① 209011 Successfully performed operation(s)
① 209061 Ended Programmer operation at Fri Jan 31 12:07:19 2020

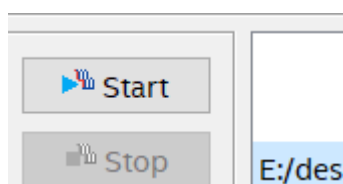
```

3.3 回读数据

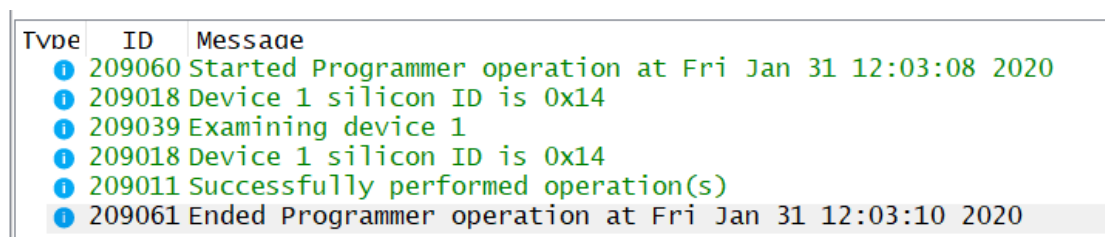
9) 选择 Examine, 就可以回读数据。



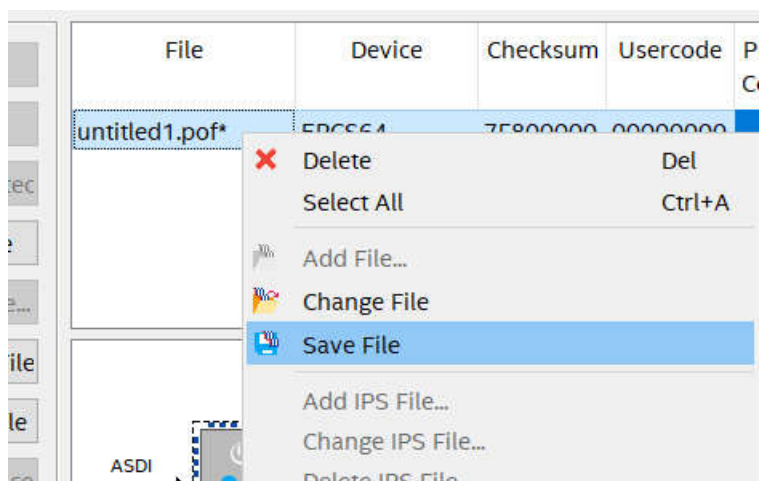
10) 选择 start 开始。开始回读数据

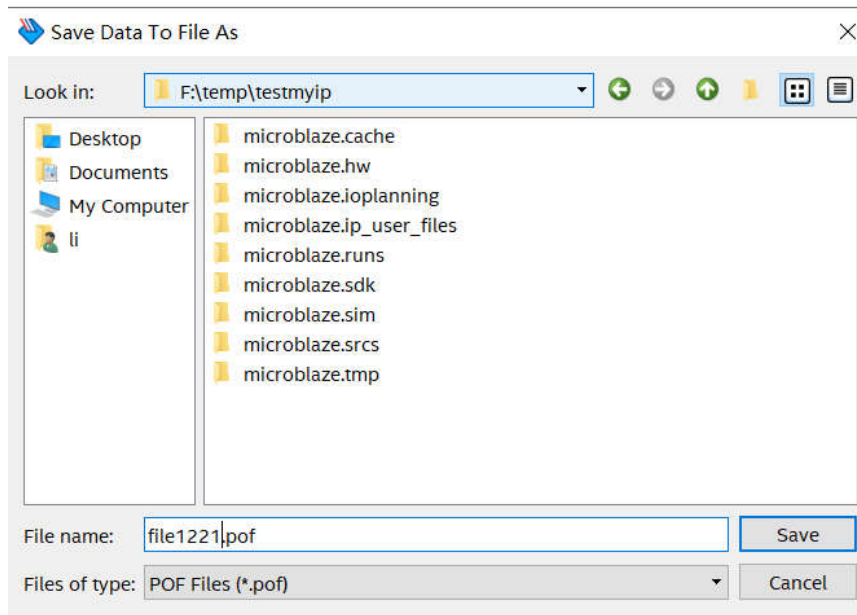


11) 看到下面输出窗口, 花了 2 秒时间读取 16Mb 的数据内容。



12) 选择 pof, 右键选择"Save File", 可以保存读取的文件内容。注意不要放在中文目录中。

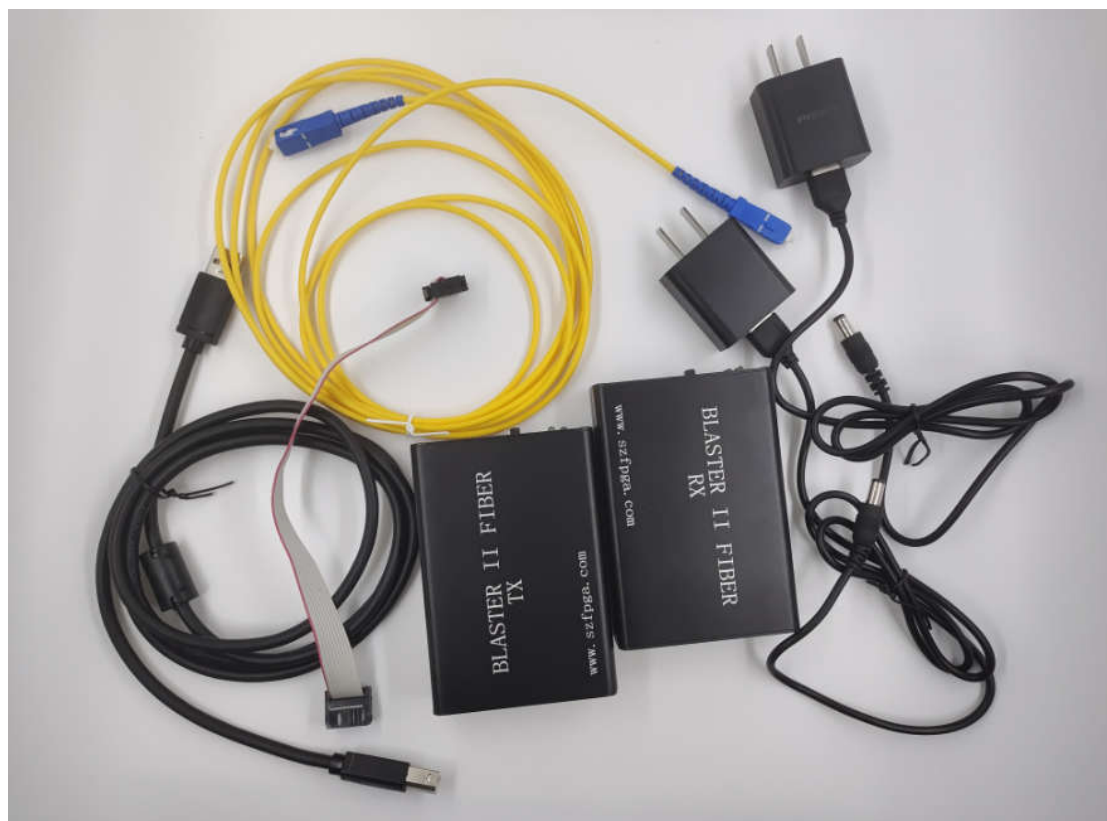




注意对于 CPLD，无需切换到 AS 模式，直接在 JTAG 模式就可以写入和回读 POF 文件内容。

4. 包装订货信息

4.1 产品包装



4.2 订货信息

产品型号
SZFPGA Blaster II Fiber TX 和 RX